

Тема 5. Тригерні схеми

5.1. Цифрові автомати

- а) тригери,
- б) реєстри,
- в) лічильники

5.1. Цифрові автомати (тригери, реєстри, лічильники)

Цифрові тригери. Класифікація. У цифрових автоматах в ролі елементів пам'яті використовують мікроелектронні тригери різних модифікацій.

Тригером називається пристрій, здатний формувати два стійких значення вихідного сигналу (логічного «0» і логічної «1») і стрибкоподібно змінювати ці значення під дією зовнішнього керуючого сигналу.

Тригери класифікуються на декілька типів залежно від принципу їх роботи і цільового призначення.

За способом управління тригери поділяють на два класи: синхронізуючі і несинхронізуючі (асинхронні). Синхронізований тригер забезпечений допоміжним входом синхронізації, який дозволяє перемикання тригера при наявності на його вході відповідного сигналу.

За способом організації логічних зв'язків тригери класифікують на наступні типи: *RS* – з роздільною установкою станів «1» і «0»; *T* з рахунковим входом; *D* – з прийомом інформації по одному входу; *JK* (універсальний) – поєднує в собі властивості *D*, *RS* і *T*-тригерів (дозволяє роздільну установку станів «1» і «1», але здатний при одночасному впливі вхідних сигналів функціонувати як *T*-тригер).

Умовне позначення. Як пояснюючий символ для умовного позначення тригера застосовують букву *T*, яку поміщають у верхній частині основного поля графічного позначення (рис. 5.1, а). Виходи тригера позначають буквою *Q*. При цьому вихід «0» постачають індекс інверсія заперечення (рискою зверху) для відмінності від виходу «1», (див. Рис. 5.1, а) для *RS*-тригерів.

Принципи функціонування. Асинхронний *RS*-триггер (див. Рис. 5.1, а) має два інформаційних входи, один з яких позначають буквою *S* (від англ. Set - встановлювати), а інший - *R* (від англ. Reset - скидати). Асинхронний *RS*-триггер можна отримати на двох логічних елементах АБО-НІ, якщо забезпечити їх перехресними позитивними зворотними зв'язками, як показано на рис. 5.1, б. Часові діаграми, що пояснюють принцип роботи цього тригера, наведені на рис. 5.1, в (тривалістю перехідних процесів при комутаціях нехтуємо).

При підключенні до входу S логічної «1» (див. рис. 5.1, б), тобто $S = 1$ (момент t_1 рис. 5.1, в), на інверсному виході \bar{Q} отримуємо «0». Оскільки цей сигнал по колу зворотного зв'язку подається на один із входів верхнього елемента АБО-НІ, а на іншому його вході діє також сигнал «0» з входу R , маємо $Q = 1$. Цей стан тригера може зберігатися як завгодно довго і не залежить від подальших змін сигналу на вході S , якщо на вході R підтримується стан «0» (стан $S = 1$ і $R = 1$ є для даного тригера забороненим, так як при цій комбінації вхідних сигналів вихідний стан тригера буде непередбачуваним). Таким чином, RS – тригер запам'ятовує інформацію про стан $S = 1$ і підтримує її до тих пір, поки на вході R не з'явиться сигнал скидання 1 (момент t_2 рис. 5.1, в).

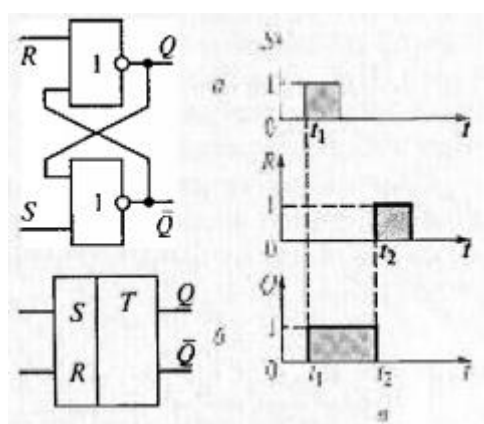


Рис. 5.1. Функціональна схема (а), умовне графічне зображення (б), тимчасові діаграми процесів (в) асинхронного тригера

При $R = 1$ на виході Q отримуємо сигнал $Q = 0$, а відповідний канал зворотного зв'язку забезпечить $\bar{Q} = 1$ і т.д.

Синхронний RS -тригер, що позначається також буквами RST , має додатковий C -вхід (від англ. Clock – годинник), на який подають імпульси синхронізації (рис. 5.2, а). Синхронний тригер отримують при підключенні до входу асинхронного RS -тригера двох додаткових елементів І-НІ (рис. 5.2, б).

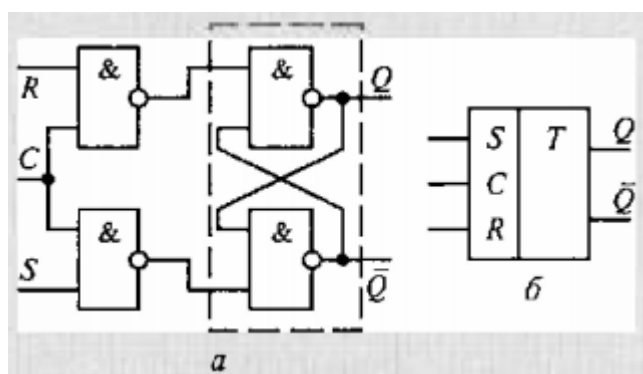


Рис. 5.2. Функціональна схема синхронного RS -тригера (а) і його умовне графічне зображення (б)

Як видно, при відсутності сигналу на C -вході, тобто $C=0$, входи R і S є відключеними від власне тригера (окреслено пунктиром), і зміна сигналів на цих входах не може змінити стан тригера. З моменту появи дозволяючого сигналу $C = 1$ вхідні елементи І-НІ виконують функцію інверторів. При цьому стан тригера буде однозначно визначатися значеннями сигналів на S - і R -входах по аналогії з асинхронним RS -тригером.

Слід підкреслити, що описаний тригер може змінювати свій стан в будь-який момент на інтервалі дії сигналу $C=1$. Такий тригер називають тригером зі статичним входом синхронізації.

Найбільше практичне поширення набули тригери з динамічним (імпульсним) входом синхронізації. Суть побудови такого тригера полягає в забезпеченні його перемикання лише на інтервалі зміни сигналу входу C , тобто. або по фронті, або по зрізу імпульсу синхронізації. Таке рішення дозволяє значно підвищити надійність і перешкодозахищеність тригерних пристроїв, так як зводить до мінімуму інтервал, на якому можливий перезапис інформації. Технічно вказаний режим роботи досягається заміною додаткових логічних елементів (рис. 5.2), допоміжними RS -тригерами (так звана схема трьох тригерів).

T -тригер (від англ. *Tumbler* - перемикач) знаходить широке застосування в лічильниках імпульсів цифрових систем. У цьому тригері, умовне позначення якого наведено на рис. 5.3, а, є один T -вхід, при кожному впливі на який (імпульсом) відбувається чергове перемикання тригера з одного стану в інший. Тому такий пристрій називають тригером з рахунковим входом. Число перемикань дорівнює числу імпульсів, що надійшли на вхід

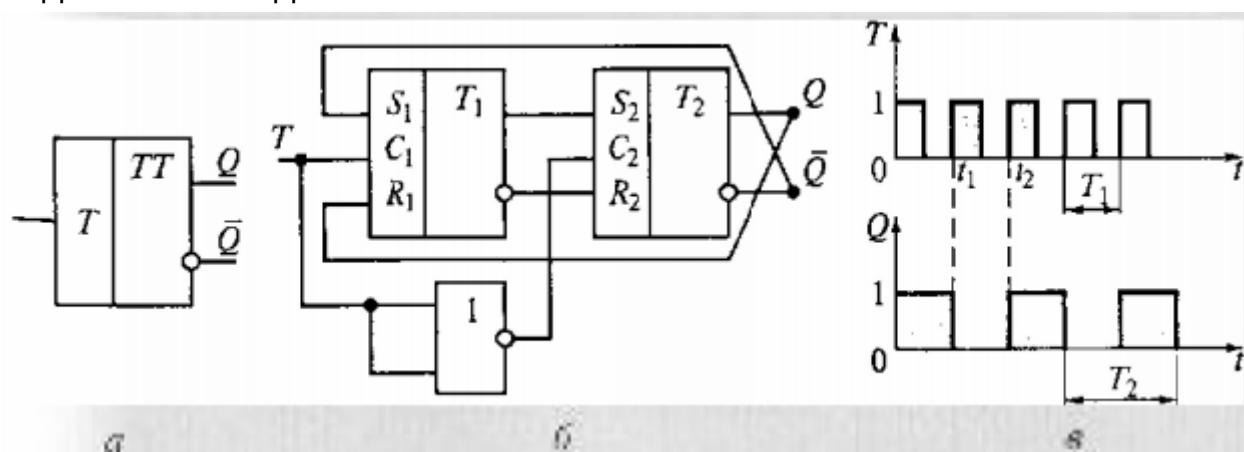


Рис. 5.3. Умовне графічне зображення (а), функціональна схема (б), тимчасові діаграми процесів (в) T -тригера

В основу більшості T -тригерів покладена схема двоступеневого тригера, утвореного послідовним з'єднанням двох синхронних RST -

тригерів, охоплених перехресними зворотними зв'язками (рис. 5.3, б). Крім того, C -входи цих RST -тригерів з'єднані між собою елементом HI і об'єднані в загальний для всього T -тригера вхід T . Таким чином, будь-який керуючий вплив на вхід C_1 викликає відключення другого RST -тригера по вхідному колі. Однак за рахунок з'єднання тригера T_1 з T_2 ланцюгами зворотного зв'язку кожне примусове перемикання T_1 викликає перекидання T_2 . Принцип роботи T -тригера ілюструють часові діаграми процесів на T -вході і Q -виході (рис. 5.3, в).

D -тригер (від англ. Delay - затримка), умовне позначення якого наведено на рис. 5.4, а, формує вихідний сигнал на Q -виході з затримкою щодо керуючого впливу на D -вході. Для цього його оснащують C -входом, збудження якого (статичне або імпульсне) дозволяє перемикати тригер в стан, відповідне сигналу на D -вході. D -тригери отримують на основі RS -тригерів, використовуючи на вході однотипні логічні пристрої $I-HI$ (рис. 5.4, б). Тимчасові діаграми процесів представлені на рис. 5.4, в.

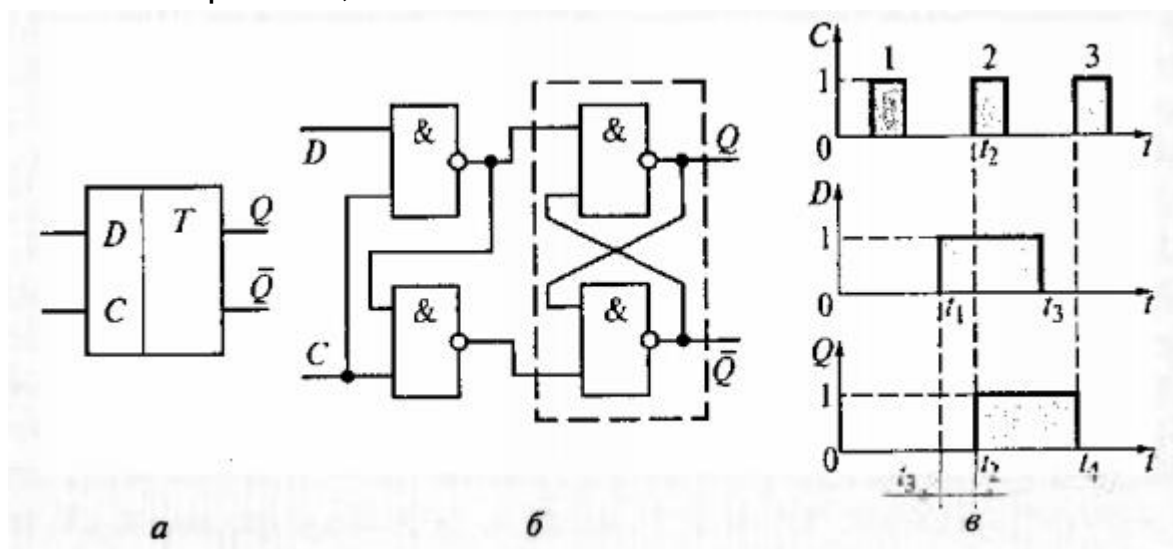


Рис. 5.4. Умовне графічне зображення (а), функціональна схема (б) і тимчасові діаграми процесів (в) D -тригера

Універсальний JK -тригер, умовне позначення якого наведено на рис. 5.5, а, має три входи: два інформаційних (J і K) і один синхронізуєчий (C). Він легко реалізується на двох RST -тригерах з зворотними зв'язками, як показано на рис. 5.5, б.

JK – тригер відносять до універсального типу, оскільки при різних варіантах перемикання його вхідних затискачів можна отримати схему тригерів всіх інших типів. У мікроелектронному виконанні JK – тригер має розширену вхідну логіку, при якій можна використовувати такий багатофункціональний тригер в різних мікросхемах однієї серії.

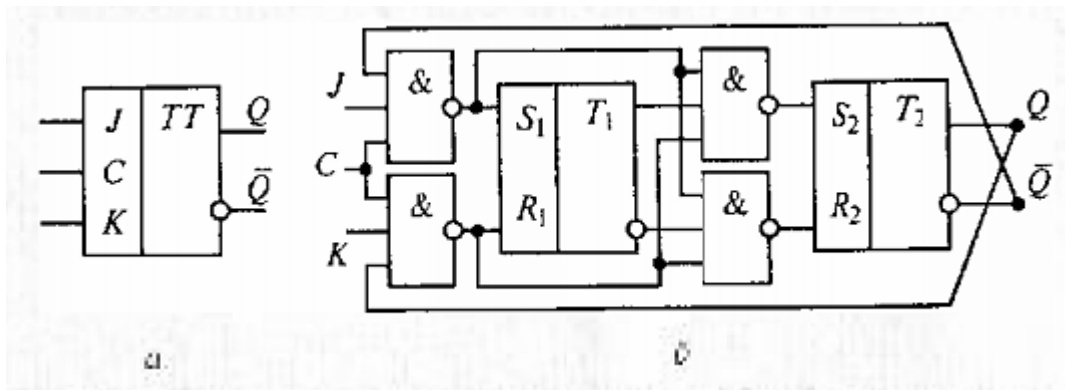


Рис. 5.5. Умовне графічне зображення (а) і функціональна схема (б) універсального JK -тригера

Регістри. Пристрій, призначений для зберігання інформації, представлена в двійковій формі, називають регістром.

Він складається з пов'язаних один з одним тригерів, кожен з яких служить для зберігання «0» або «1». Кількість тригерів визначає розрядність регістра. Регістри можуть виконувати також операції прийому, передачі і перетворення інформації, що забезпечуються системою управління.

Залежно від виконуваних функцій регістри поділяють на паралельні і зсувні.

На рис. 5.6,а наведено умовне позначення найпростішого дворозрядного паралельного регістра, виконаного на RST -тригерах, а на рис. 5.6, б показана його функціональна схема. Для запису інформації в двійковому коді спочатку виконують операцію обнулення тригерів шляхом подачі відповідних сигналів на всі R - і S -входи. Після цього через S -входи здійснюють або перемикання тригерів (для запису «1»), або не змінюють їх стану (для збереження «0»). Зчитування інформації, укладеної в регістрі, проводиться з Q -виходів тригерів регістра.



Рис. 5.6. Умовне графічне зображення (а) і функціональна схема (б) дворозрядного регістра

Найважливішими показниками регістра є число розрядів і швидкодія пристрою. Низька швидкодія обмежує максимальну частоту тактових імпульсів системи управління, яка забезпечує запис,

зчитування і найпростішу обробку інформації. Остання операція досягається в зсувних регістрах шляхом переміщення інформації вправо і вліво – відповідно з операціями ділення і множення двійкових чисел на значення 2^n ($n = 0, 1, 2, \dots$). У регістрах зсуву зазвичай застосовують з'єднані послідовно D -тригери з трьома входами: інформаційним (D -вхід), сдвигаючим (C -вхід) і настановним (R -вхід). При цьому C - і R - входи всіх тригерів об'єднують для одночасного управління (при зсувах або установці нуля) всім пристроєм. Регістр зсуву можна побудувати на RS -тригерах, якщо в кожному розряді використовувати два тригера, керованих двома зсунутими в часі тактовими імпульсами. У цьому випадку з'являється можливість порозрядного просування записуваної інформації від входу до виходу.

У складних цифрових пристроях обмін інформацією між окремими регістрами, як правило, здійснюється по загальній шині, що з'єднує входи і виходи відповідних розрядів всіх регістрів (рис. 5.7). При цьому кожен регістр забезпечується входом E (дозвіл запису) і входом EZ , що відключає виходи його тригерів від відповідних вихідних виходів. Вибір конкретного шляху передачі інформації в цій схемі здійснюється шляхом подачі відповідних дозвільних сигналів з блоку управління. Так, для перезапису інформації з регістра $RG2$ в $RG1$ сигнали дозволу необхідно подати на вхід EZ регістра $RG2$ і вхід E регістра $RG1$. В цьому випадку до загальної шини будуть підключені тільки виходи $RG2$ і входи $RG1$, а по імпульсу синхронізації відбудеться необхідний перезапис інформації.

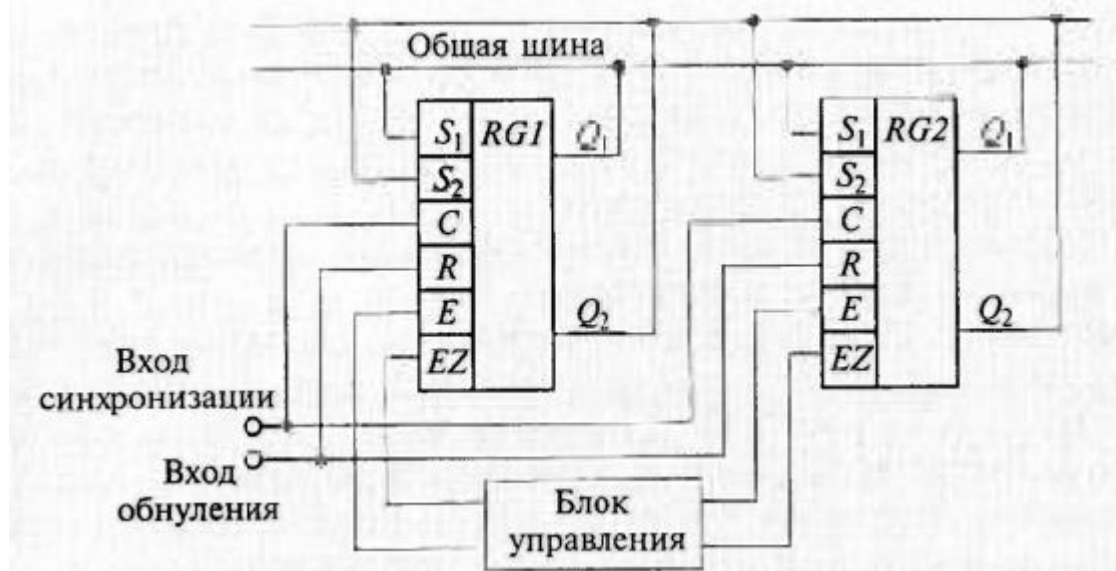
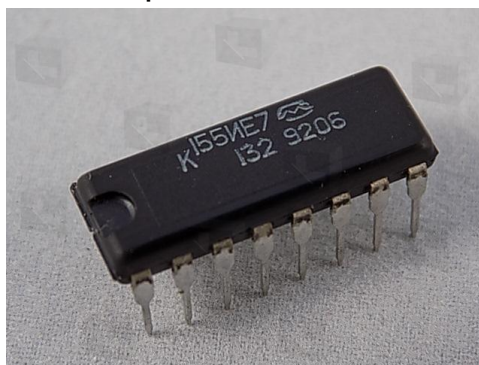


Рис. 5.7. Схема підключення декількох регістрів до загальної шини

Цифрові лічильники імпульсів. Цифровим лічильником називають функціональний пристрій на тригерах, що забезпечує рахунок імпульсів, що надходять на його вхід. Результат рахунку формується зазвичай в

двійковому коді і може зчитуватися або зберігатися в тригері лічильника. При необхідності результат зчитують після кожного рахункового імпульсу на вході. Максимальне число, що відраховує лічильник в двійковому коді, становить 2^{n-1} де n – число послідовно включених тригерів. При відсутності обмежень на число поступаючих імпульсів лічильник через кожні 2^n імпульсів буде повертатися в вихідний нульовий стан. Лічильники такого типу називають перерахунковими.

Цифрові лічильники можна отримати, використовуючи сукупність найпростіших тригерних і логічних мікросхем. Є також багаторозрядні універсальні лічильники, виконані у вигляді однієї мікросхеми високого рівня інтеграції (наприклад, мікросхеми К155ІЕ7, К564ІЕ14 і ін.).



Класифікація лічильників. За цільовим призначенням лічильники класифікують на наступні типи: підсумовуючі (виробляють прямий рахунок імпульсів); віднімання (виконують зворотний рахунок від найбільшого значення до нуля); реверсивні (застосовують як в режимах прямого, так і зворотного рахунку).

Принцип функціонування лічильника розглянемо на прикладі трьохразрядного лічильника, зібраного на T -тригерах. Його умовне позначення і функціональна схема показані на рис. 5.8, а, б. Для обнулення лічильника (перед початком роботи) використовують спеціальну шину Встановлення «0» (див. Рис. 5.8, б), до якої підключені всі R -входи тригерів.

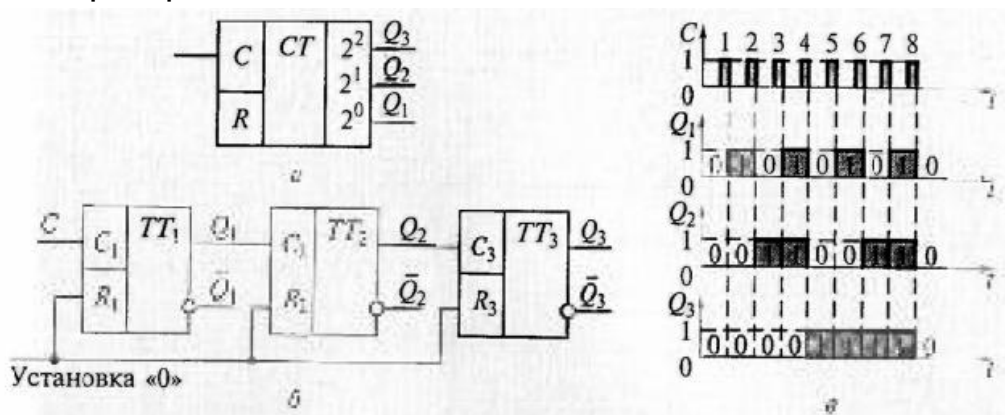


Рис. 5.8. Умовне графічне зображення (а), функціональна схема (б) і тимчасова діаграма роботи (в) трьохразрядного лічильника

При появі рахункових імпульсів на С-вході лічильника спостерігається послідовне перемикання кожного з взаємопов'язаних тригерів, як показано на діаграмах рис. 5.78, в. Як видно з діаграми, період перемикання кожного наступного тригера збільшується в два рази в порівнянні з попереднім щим. Приписуючи Q-виходів перемикання тригерів символ «1» (ці стани на тимчасовій діаграмі показані сірим кольором, можна систематизувати стану лічильника, як показано в табл. 5.1.

Таблиця 5.1

Таблиця станів трьохрозрядного лічильника

Номер імпульса	Стан тригерів			Вихідний код	
	Q ₃	Q ₂	Q ₁	двійковий	десятковий
0	0	0	0	0	0
1	0	0	1	01	1
2	0	1	0	10	2
3	0	1	1	11	3
4	1	0	0	100	4
5	1	0	1	101	5
6	1	1	0	110	6
7	1	1	1	111	7
8	0	0	0	0	0

Аналіз роботи лічильника. Як видно з табл. 5.1, перемикання тригерів в стан «1» має місце при попередніх переходах попереднього тригера від «1» до «0». Це означає, що в зазначеному режимі формується сигнал перенесення, викликає перекидання наступного тригера.

З табл. 5.1 слідує також, що модуль перерахунку, тобто число станів лічильника між його обнулення, трьохрозрядного лічильника дорівнює $2^3 = 8$. При цьому вага першого тригера дорівнює 2^0 , другого – 2^1 і третього – 2^2 . Зазначені «ваги» показані в правій (допоміжній) зоні умовного позначення трьохрозрядного лічильника (див. рис. 5.8, а).