

## **Тема 4. Комбінаційні цифрові схеми**

### *4.1. Класифікація елементів і пристроїв ЕОМ*

### *4.2. Типові функціональні вузли комбінаційних логічних пристроїв*

#### **4.1. Класифікація елементів і пристроїв ЕОМ**

У структурі ЕОМ виділяють наступні структурні одиниці: елементи, вузли, блоки і пристрої. Елементи призначаються для обробки одиничних електричних сигналів, відповідних бітам інформації. Вузли забезпечують одночасну обробку групи сигналів - інформаційних слів. Блоки реалізують деяку послідовність в обробці інформаційних слів. Пристрої призначаються для виконання окремих машинних операцій і їх послідовностей.

Розрізняють два типи цифрових пристроїв: комбінаційні (однотактні) і послідовні (багатотактні), які часто називають кінцевими автоматами.

*Комбінаційними* називають цифрові пристрої, в яких значення вихідних сигналів визначаються заданим в даний момент часу поєднанням вхідних впливів. Неважко помітити, що в комбінаційних логічних пристроях відсутні елементи, що запам'ятовують.

*Послідовними* називають пристрої, в яких вихідні сигнали залежать не тільки від вхідних впливів в заданий момент часу, але і від їх попередніх значень. Тому в послідовних пристроях на відміну від комбінаційних містяться запам'ятовуючі елементи.

#### **4.2. Типові функціональні вузли комбінаційних логічних пристроїв**

*Мультиплексори і демюльтиплексори.* Мультиплексором називається комбінаційний логічний пристрій, призначене для керованої передачі даних від декількох джерел інформації в один вихідний канал. Згідно з визначенням, мультиплексор повинен мати один вихід і дві групи входів: інформаційні та адресні. Код, що подається на адресні входи, визначає, який з інформаційних входів в даний момент підключений до вихідного висновку. Оскільки  $n$ -розрядний двійковий код може приймати  $2^n$  значень, то, якщо число адресних входів мультиплексора  $n$ , число його інформаційних входів має дорівнювати  $2^n$ .

Таблиця істинності, що відображає роботу мультиплексора з двома адресними входами, має такий вигляд (табл. 4.1).

В даній таблиці враховано, що мультиплексор зазвичай забезпечується додатковим інверсним виходом  $\bar{Q}$  і входом дозволу роботи  $E$ .

Якщо на вхід дозволу роботи  $E$  поданий активний логічний сигнал ( $E = 1$ ), то вихідний сигнал мультиплектора постійний і не залежить від його вхідних сигналів.

Функція алгебри логіки, що описує роботу мультиплектора, має вигляд

$$Q = D_0 \bar{A}_1 \bar{A}_0 \bar{E} + D_1 \bar{A}_1 A_0 \bar{E} + D_2 A_1 \bar{A}_0 \bar{E} \quad (4.1)$$

Логічна схема мультиплектора, що відповідає цій ФАЛ, і умовне графічне позначення мультиплектора на прикладі ІС типу 555КП7 показані на рис. 4.1.

Число інформаційних входів реально випускаються промисловістю мікросхем мультиплекторів не перевищує трьох. Тому в разі потреби мати більше число входів з наявних мікросхем будують структуру так званого мультиплекторного дерева. Проілюструємо побудову мультиплекторного дерева на прикладі пристрою з 16 інформаційними входами, побудованого на основі чотиривходових мультиплекторів. Його логічна схема приведена на рис. 4.2. Пристрій містить мультиплектори першого і другого рівня. Мультиплектори першого рівня управляються молодшими розрядами адресного слова, мультиплектори другого рівня - старшими розрядами адресного слова.

Таблиця 4.1

Таблиця істинності, що описує роботу мультиплектора

$E$	$A_1$	$A_0$	$Q$	$\bar{Q}$
1	X	X	0	1
0	0	0	$D_0$	$\bar{D}_0$
0	0	1	$D_1$	$\bar{D}_1$
0	1	0	$D_2$	$\bar{D}_2$
0	1	1	$D_3$	$\bar{D}_3$

Розглянемо роботу схеми на конкретному прикладі.

Припустимо, задано адресне слово 0110. Входи  $D_2$  молодшими розрядами адресного слова 10 підключаються до виходів мультиплекторів першого рівня. На інформаційних входах мультиплектора другого рівня з'являться відповідно сигнали  $x_2$ ,  $x_6$ , і  $x_{10}$ . З цих сигналів мультиплектор другого рівня по старшим розрядам адресного слова 01 вибере сигнал, присутній на його вході В результаті на виході мультиплекторного дерева з'явиться вхідний сигнал  $x_1$  що і відповідає заданій адресі.

За описаним алгоритмом можна будувати пристрої з будь-яким необхідним числом входів. При цьому слід пам'ятати, що мультиплексори одного рівня повинні мати однакове число інформаційних входів. Число інформаційних входів мультиплексорів різних рівнів може бути різним, що визначається сумарним числом інформаційних входів і типом використовуваної елементної бази.

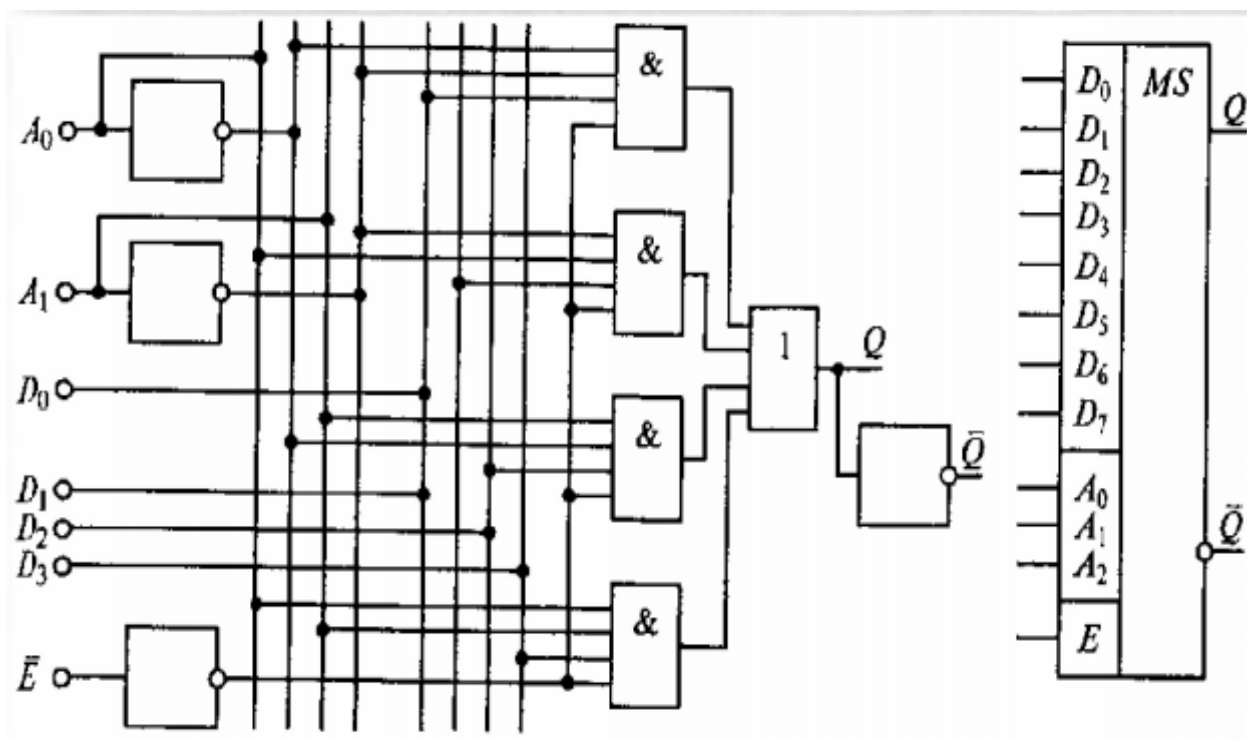


Рис. 4.1. Логічна схема мультиплексора (а) і його умовне графічне зображення (б)

При передачі інформації від декількох джерел по загальному каналу з поділом за часом потрібні не тільки мультиплексори, але і пристрої зворотного призначення, що розподіляють інформацію, отриману з одного каналу між декількома приймачами. Цю задачу вирішують демультіплексори.

Демультимплексор називається комбінаційний логічний пристрій, призначений для керуваної передачі даних від одного джерела інформації в кілька вихідних каналів.

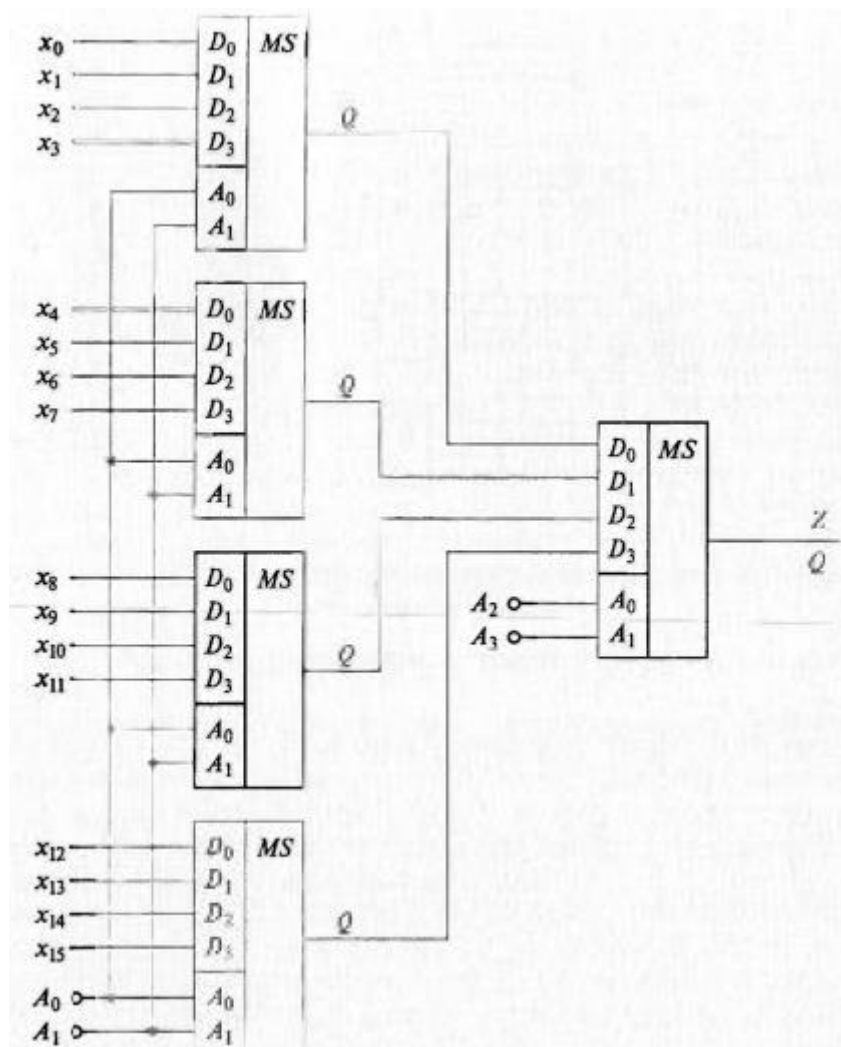


Рис. 4.2. Схема мультиплексорного дерева

Згідно з цим визначенням, демультимплексор в загальному випадку має один інформаційний вхід,  $n$  адресних входів і  $2^n$  виходів. Таблиця істинності, що описує роботу демультимплексора, забезпеченого двома адресними входами і входом дозволу роботи  $E$ , має вигляд (табл. 4.2).

Таблиця 4.2

Таблиця істинності, що описує роботу демультимплексора

$E$	$a_1$	$A_0$	$C_0$	$a$	$a$	$a$
1	X	X	0	0	0	0
0	0	0	D	0	0	0
0	0	1	0	D	0	0
0	1	0	0	0	D	0
0	1	1	0	0	0	D

Даній таблиця відповідає наступна система ФАЛ:

$$\begin{aligned}
 Q_0 &= D\bar{A}_1\bar{A}_0\bar{E} = \bar{D} \downarrow A_1 \downarrow A_0 \downarrow E; \\
 Q_1 &= D\bar{A}_1A_0\bar{E} = \bar{D} \downarrow A_1 \downarrow \bar{A}_0 \downarrow E; \\
 Q_2 &= DA_1\bar{A}_0\bar{E} = \bar{D} \downarrow \bar{A}_1 \downarrow A_0 \downarrow E \\
 Q_3 &= DA_1A_0\bar{E} = \bar{D} \downarrow \bar{A}_1 \downarrow \bar{A}_0 \downarrow E
 \end{aligned}
 \tag{4.2}$$

На рис. 4.3, а приведена логічна схема демультимплексора, що задовольняє системі ФАЛ (4.1), а на рис. 4.3, б показано її умовне графічне зображення.

При необхідності збільшити число вихідних висновків на основі розглянутої схеми можна побудувати структуру демультимплексорного дерева. Його структура з точністю до дзеркального відображення аналогічна структурі мультимплексорного дерева (див. Рис. 4.2). При цьому демультимплексор першого рівня також управляється молодшими розрядами адресного слова, а демультимплексори другого рівня - його старшими розрядами (рис 4.4.).

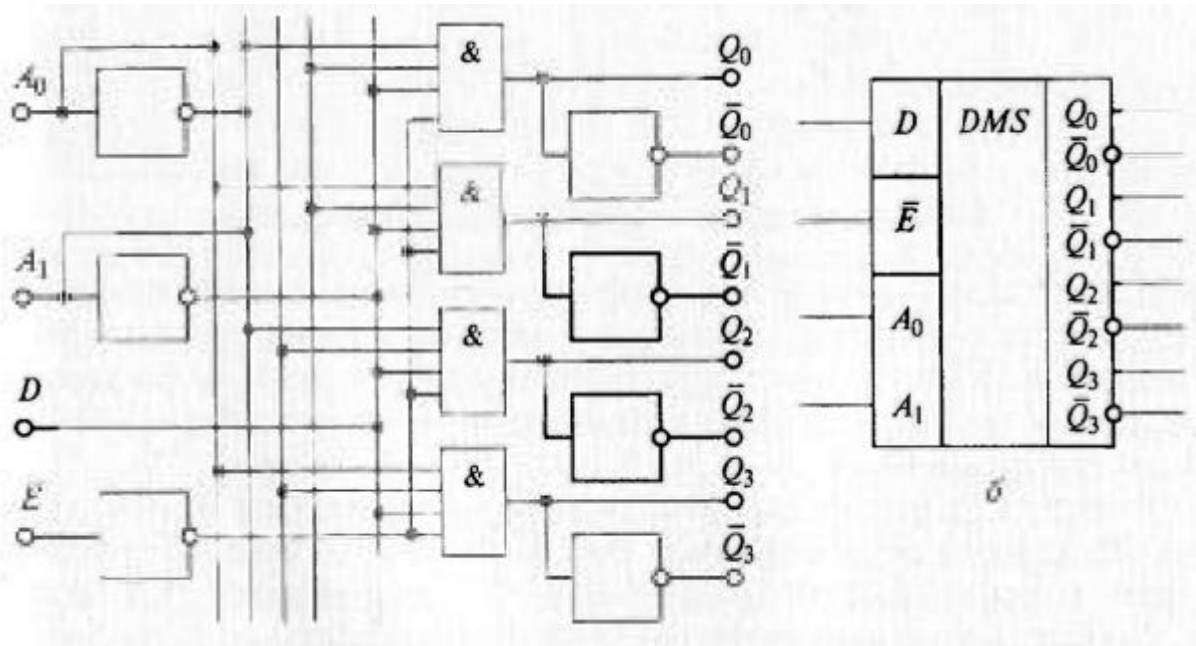


Рис. 4.3. Логічна схема демультимплексора (а) і його умовне графічне зображення (б)

Перетворювачі кодів. У цифровій техніці застосовуються різні види кодування інформації. Так, при виконанні операцій в ЕОМ зазвичай застосовують кілька різновидів двійкового коду (прямий, зворотний, додатковий, двійковий-десятковий і т.д.). При передачі інформації по лініях зв'язку зручніше використовувати інші види кодів, що дозволяють, наприклад, зменшувати ймовірність появи помилки або навіть виправляти її в подальшому. Прикладами є коди, побудовані за принципом 2 з 5 (в яких з п'яти символів два завжди мають одиничне значення), коди з перевіркою парності або непарності, коди Хеммінга.

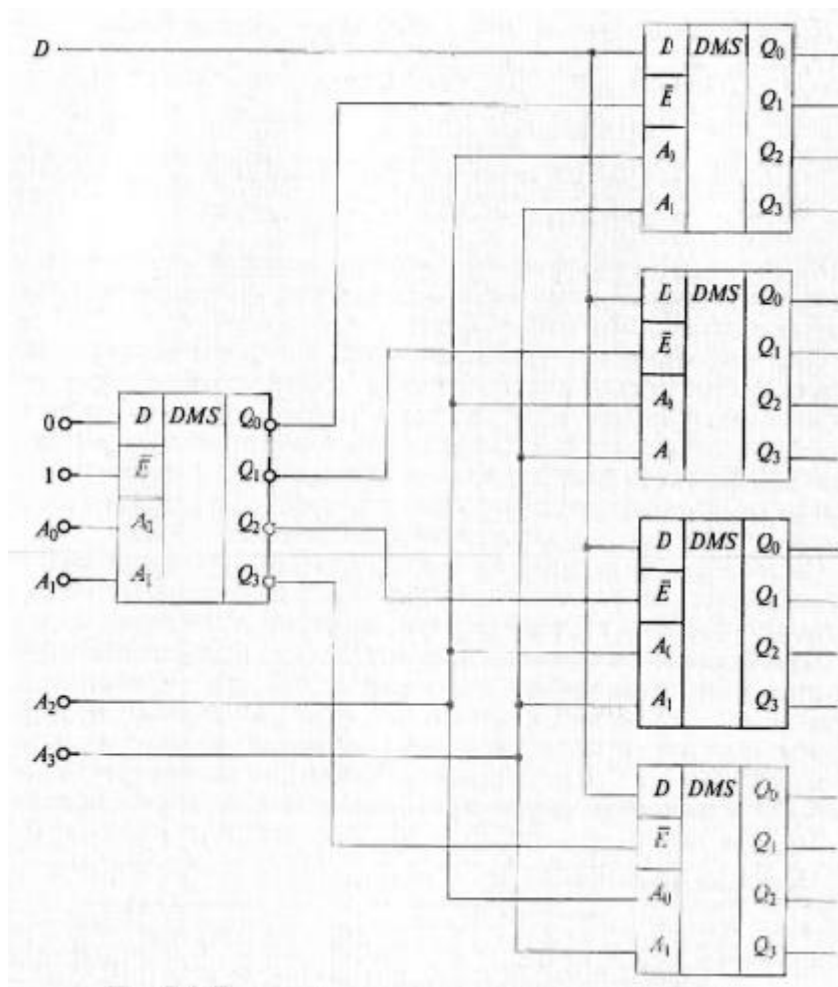


Рис. 4.4. Логічна схема демультиплексорного дерева

У зв'язку з цим завжди стоїть завдання перетворення інформації з одного коду в інший. Це завдання на апаратному рівні вирішують комбінаційні пристрої - перетворювачі кодів.

Перетворювачем коду називається комбінаційний пристрій, призначене для зміни виду кодування інформації. Як і будь-який комбінаційний пристрій, перетворювач коду характеризується таблицею істинності, що ставить у відповідність коди, що подаються на вхід до кодів, що знімаються з виходу пристрою. Слід зауважити, що в цій таблиці в загальному випадку число розрядів вхідного і вихідного кодів може не збігатися. Головне - вона повинна давати однозначну відповідність різних кодів. Дана таблиця є підставою для синтезу логічної структури конкретного перетворювача кодів. Умовне графічне зображення перетворювачів кодів на принципових електричних схемах наведено на рис. 4.5.

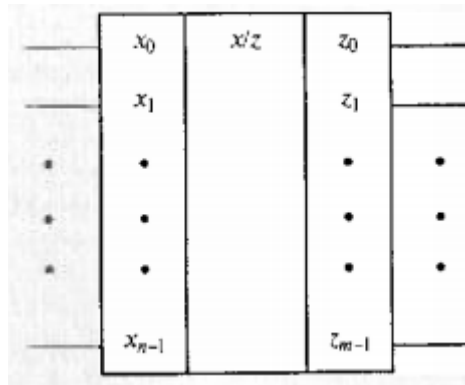


Рис. 4.5. Умовне графічне зображення перетворювача кодів

Як приклад перетворювача кодів, що випускаються у вигляді ІС, можна привести схеми, що забезпечують перетворення інформації з двійкового в двійково-десятковий код. Одним випадком перетворювачів коду є шифратори і дешифратори.

*Шифратори і дешифратори.* Шифратором, або кодером називається комбінаційний логічний пристрій для перетворення чисел з десяткової системи числення в двійкову. Входам шифратора послідовно присвоюються значення десяткових чисел, тому подача активного логічного сигналу на один з входів сприймається шифратором як подача відповідного десяткового числа. Цей сигнал перетворюється на виході шифратора в двійковий код. Відповідно до сказаного, якщо шифратор має  $n$  виходів, число його входів повинно бути не більше ніж  $2^n$ . Шифратор, що має  $2^n$  входів і  $n$  виходів, називається повним. Якщо число входів шифратора менше  $2^n$ , він називається неповним.

Розглянемо роботу шифратора на прикладі перетворювача десяткових чисел від 0 до 9 в двійковій-десятковий код. Таблиця істинності, відповідна цієї нагоди, має вигляд (табл. 4.3).

Так як число входів даного пристрою менше  $2^n=16$ , маємо неповний шифратор. Використовуючи таблицю для  $Q_3$   $Q_2$   $Q_1$  і  $Q_0$  можна записати наступні вирази:

$$\begin{aligned}
 Q_3 &= x_8 + x_9; \\
 Q_2 &= x_4 + x_5 + x_6 + x_7; \\
 Q_1 &= x_2 + x_3 + x_6 + x_7; \\
 Q_0 &= x_3 + x_5 + x_7 + x_9.
 \end{aligned}
 \tag{4.3}$$

Отримана система ФАЛ характеризує роботу шифратора. Логічна схема пристрою, що відповідає системі (4.2), наведена на рис. 4.6.

Неважко помітити, що в шифраторі розглянутого типу сигнал, що подається на вхід  $x_0$ , не використовується. Тому відсутність сигналу на будь-якому з входів  $x_0 \dots x_9$  трактується схемою як наявність на вході нульового сигналу.

Таблиця істинності, що описує роботу шифратора

$X_9$	$X_8$	$X_7$	$X_6$	$X_5$	$X_4$	$X_3$	$X_2$	$X_1$	$X_0$	$Q_3$	$Q_2$	$Q_1$	$Q_0$
0	0	0	0	0	0	0	0	0	1	0	0	0	0
0	0	0	0	0	0	0	0	1	0	0	0	0	1
0	0	0	0	0	0	0	1	0	0	0	0	1	0
0	0	0	0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	0	1	0	0	0	0	0	1	0	0
0	0	0	0	1	0	0	0	0	0	0	1	0	1
0	0	0	1	0	0	0	0	0	0	0	1	1	0
0	0	1	0	0	0	0	0	0	0	0	1	1	1
0	1	0	0	0	0	0	0	0	0	1	0	0	0
1	0	0	0	0	0	0	0	0	0	1	0	0	1

Основне застосування шифратора в цифрових системах - це введення первинної інформації з клавіатури. При натисканні будь-якої клавіші на відповідний вхід шифратора подається сигнал логічної «1», який і перетворюється на виході в двійковій-десятковий код. Варіант пристрою введення інформації показаний на рис. 3.7.

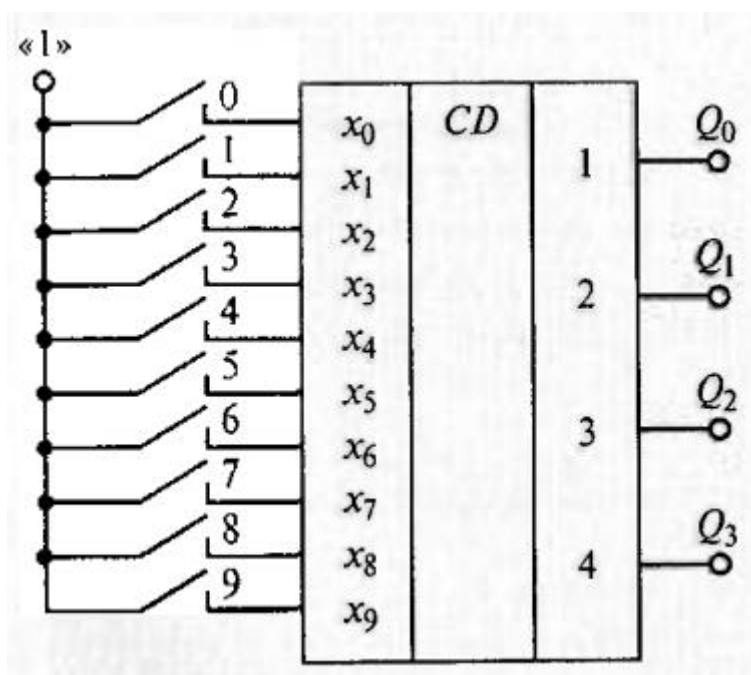


Рис. 3.7. Пристрій введення інформації

*Дешифратором*, або декодером називається комбінаційний логічний пристрій для перетворення чисел з двійкової системи числення в десяткову. Відповідно до визначення дешифратор відноситься до класу перетворювачів кодів. Тут також розуміється, що кожному вхідному двійковому числу ставиться у відповідність сигнал, що формується на певному виході пристрою. Таким чином, дешифратор виконує операцію,



зворотну шифратору. Якщо число адресних входів дешифратора  $n$  пов'язано з числом його виходів  $m$  співвідношенням  $m = 2^n$ , то дешифратор називають повним, якщо  $m < 2^n$ , дешифратор називають неповним.

Поведінка дешифратора описується таблицею істинності, аналогічно таблиці істинності шифратора (див. Табл. 4.3), тільки в ній вхідні і вихідні сигнали міняються місцями. Відповідно до даної таблиці, так як вихідний сигнал дорівнює «1» тільки на одному єдиному наборі вхідних змінних, тобто для однієї конституенти одиниці, алгоритм роботи дешифратора описується наступною системою рівнянь виду:

$$x_0 = \bar{Q}_3 \bar{Q}_2 \bar{Q}_1 \bar{Q}_0;$$

$$x_1 = \bar{Q}_3 \bar{Q}_2 \bar{Q}_1 Q_0;$$

$$x_2 = \bar{Q}_3 \bar{Q}_2 Q_1 \bar{Q}_0;$$

...

і так далі, де  $Q_i$  - значення логічної змінної на  $i$ -м виході пристрою.

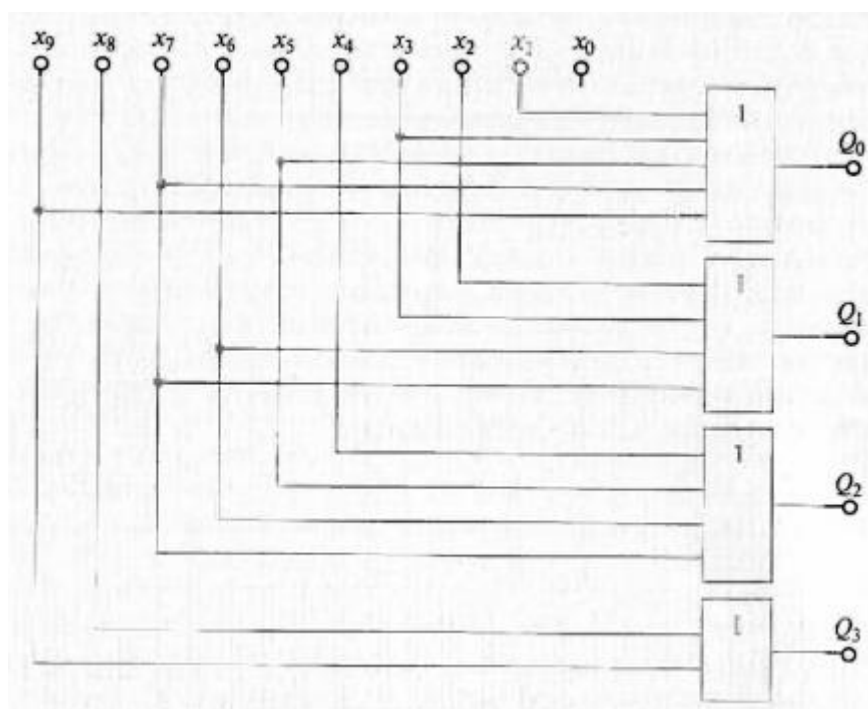


Рис. 4.6. Логічна схема шифратора десяткових чисел

*Цифрові компаратори.* Цифровим компаратором називається комбінаційний логічний пристрій, призначений для порівняння чисел, представлених у вигляді двійкових кодів.

Число входів компаратора визначається розрядністю порівнюваних кодів. На виході компаратора зазвичай формується три сигнали:

$F_ =$  – рівність кодів;

$F_ >$  – числовий еквівалент першого коду більше другого;

$F_ <$  - числовий еквівалент першого коду менше другого.

Таблиця істинності компаратора однорозрядних кодів

$x_0$	$x_1$	$F_=_$	$F_>$	$F_<$
0	0	1	0	0
0	1	0	0	1
1	0	0	1	0
1	1	1	0	0

Роботу компаратора при порівнянні двох однорозрядних кодів пояснює таблиця істинності (табл. 3.4).

Аналіз таблиці істинності показує, що при будь-якій комбінації вхідних сигналів на виході компаратора може бути сформований тільки один активний (одичний) логічний сигнал. Тому при будь-якій розрядності вхідних кодів достатньо, використовуючи вхідні сигнали, сформувати тільки будь-які два з вихідних сигналів. Третій сигнал завжди може бути отриманий за двома відомим.

Система ФАЛ, відповідна наведеної таблиці істинності, має такий вигляд:

$$F_=_ = \bar{x}_1\bar{x}_0 + x_1x_0 = \bar{F}_<\bar{F}_>;$$

$$F_< = \bar{x}_1x_0 = \bar{F}_=_\bar{F}_>;$$

$$F_> = x_1\bar{x}_0 = \bar{F}_=_F_<.$$

Аналізуючи наведені вирази з точки зору зменшення апаратних витрат на реалізацію, відзначимо, що, використовуючи вхідні змінні, зручніше було б отримати значення  $F_>$  і  $F_<$ , а  $F_=_$  — реалізувати як їх функцію. Однак з огляду на те, що вираз для визначення  $F_=_$  має в цифровій техніці велике самостійне значення, то на ньому слід зупинитися більш докладно.  $F_=_$  це – операція виключення АБО-НІ чи інверсія від суми по модулю два. Приклад реалізації цієї операції з використанням елементів І, АБО і НЕ, а також її умовне графічне позначення наведені на рис. 4.8. На рис. 4.9 дана структурна логічна схема, відповідна таблиці істинності цифрового компаратора.

*Арифметико-логічний пристрій.* Арифметико-логічний пристрій називається функціонально закінчений вузол ЕОМ, що призначений для реалізації логічних і арифметичних операцій з обробки інформації. Ці операції можуть виконуватись апаратним способом – з використанням відповідних електронних пристроїв, або програмним способом – із застосуванням послідовного виконання декількох операцій, виконуваних апаратним способом. У відповідності зі сказаним, АЛУ є одним з основних вузлів ЕОМ.

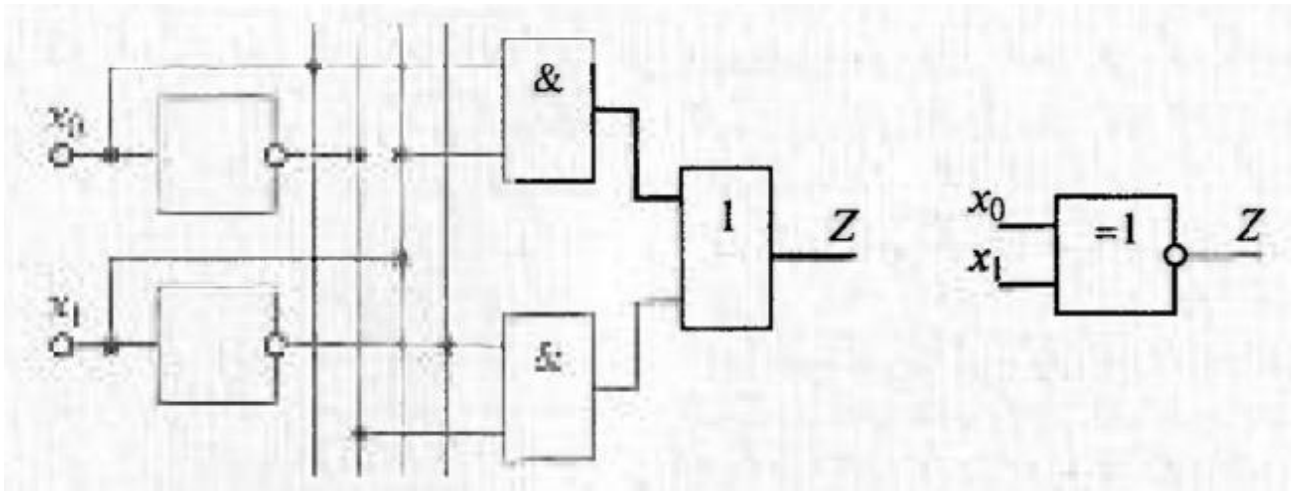


Рис. 4.8. Схемних реалізація операції Що виключає АБО-НІ і умовне графічне зображення

Незалежно від того, наскільки широке коло операцій, що реалізуються сучасними АЛП, головними серед них залишаються операції арифметичного додавання і множення. Важливість цих операцій підтверджується тим, що при описі характеристик нових машин тривалість цих операцій, як правило, вказується в якості основних характеристик ЕОМ.

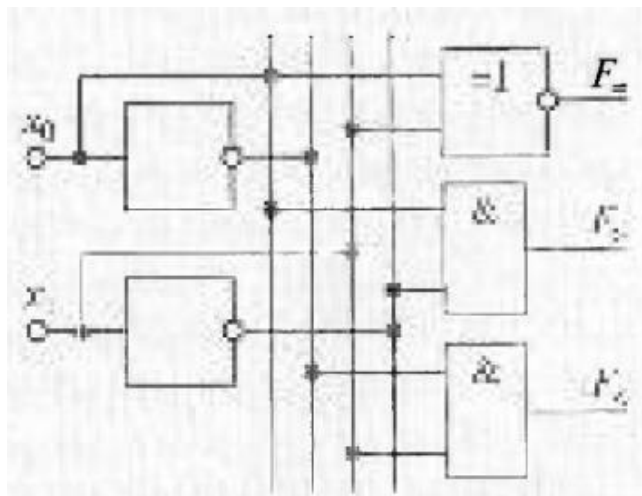


Рис. 4.9. Логічна схема компаратора

Для виконання арифметичних і логічних операцій над вхідними змінними вони повинні бути введені в АЛП, тому його доповнюють допоміжними пристроями, призначеними для проміжного зберігання як вихідних даних, так і результатів виконання тієї чи іншої операції. Функції цих пристроїв покладають на додаткові регістри.

На рис. 4.10 наведено варіант схеми з'єднання АЛП з додатковими регістрами. По суті ця схема є спрощеною схемою мікропроцесора.



Рис. 4.10. Підключення АЛУ до зовнішніх регістрів

Як правило, АЛУ забезпечується двома групами вхідних і однією групою вихідних висновків даних, а також групою виходів, призначених для отримання допоміжної інформації. Обидві групи вхідних висновків (вхідних портів) забезпечуються буферними регістрами, призначеними для тимчасового зберігання даних. Кожен буферний регістр здатний зберігати одне слово інформації. Розрядність цього слова визначається конкретним типом пристрою. Один вхідний порт АЛУ дозволяє приймати дані безпосередньо з шини даних, а другий – або з шини даних, або зі спеціалізованого регістру, званого акумулятором. Вхід цього регістра з'єднаний з вихідним портом.

У ряді випадків акумулятор забезпечується другим входом, підключеним до шини даних. Тому в загальному випадку в акумуляторі можуть зберігатися як дані, отримані в результаті виконання попередньої операції, так і дані, передані по шині даних. Група висновків, призначених для отримання допоміжної інформації про роботу АЛУ, підключається до спеціального регістру, званому регістром стану коду умов або індикатором. У його розрядах зберігається службова інформація про результат виконання останньої операції, наприклад, вказівка про те, що акумулятор скинутий, в ході останньої операції отримано негативний результат і т.д.

Залежно від типу операції АЛУ може оперувати одним або двома словами даних і, отже, користуватися одним або двома вхідними портами. Наприклад, при виконанні операції арифметичного додавання використовуються два порти, а при виконанні операції отримання

зворотного коду (інвертування коду) потрібен тільки один порт. Результат операції завжди виявляється в акумуляторі.

Конкретний перелік операцій, що реалізуються АЛУ, може бути досить великим і різним для пристроїв різних класів. Однак серед цього розмаїття можна виділити ряд операцій, що виконуються АЛП всіх типів. До таких операцій відносяться: арифметичне додавання, арифметичне віднімання, логічне множення, логічне додавання, сума по модулю два (виключає Або), інверсія, зрушення вправо, зрушення вліво, збільшення позитивне (інкремент), приріст негативний (декремент).

Перераховані операції виконуються з використанням тільки апаратних засобів (схем на ЛЕ), закладених в АЛП, і тому є елементарними. Більш складні операції, такі як арифметичні множення і ділення, виконуються, як правило, програмно шляхом комбінацій описаних елементарних операцій (мікропрограмним способом).

Слід зазначити, що за своєю побудовою АЛУ відноситься до розряду комбінаційних пристроїв, так як не містить власних елементів пам'яті. Тому значення його вихідних сигналів визначаються виключно комбінацією вхідних сигналів, а час виконання конкретної елементарної операції залежить від часу затримки поширення сигналу, тобто визначається частотними властивостями використовуваної елементарної бази та видом реалізованих ФАЛ.

Аналіз роботи ЕОМ показав, що до 50% вона виконувала операцій є операціями арифметичного множення, а до 45% – операціями арифметичного додавання. Звідси стає зрозумілим, чому час виконання операцій арифметичного додавання і множення відносять до основних параметрів ЕОМ. Перше визначає досконалість застосовуваної елементарної бази, друге – досконалість використовуваних алгоритмів. Нижче розглянемо тільки питання, пов'язані з побудовою логічних схем, які використовуються при виконанні логічних і арифметичних операцій апаратним способом.

*Суматор.* Суматором називається комбінаційний логічний пристрій, призначений для виконання операцій арифметичного додавання чисел, представлених у вигляді двійкових кодів.

Суматори є одним з основних вузлів арифметико-логічного пристрою. Термін суматор охоплює широкий спектр пристроїв, починаючи з найпростіших логічних схем до найскладніших цифрових вузлів. Загальним для всіх цих пристроїв є арифметичне додавання чисел, представлених в двійковій формі.

У кожному з розрядів застосовують однорозрядних суматорні елементи (рис. 4.11) на три входи: два - для доданків  $x_1$ , і  $x_2$  даного розряду, а третій ( $y_1$ ) – для перенесення «1» з сусіднього молодшого

розряду. Пристрій обладнують двома виходами: по одному ( $S$ ) видається шукана сума  $x_1 + x_2$ , а по іншому ( $p$ ) переноситься «1» в сусідній старший розряд.

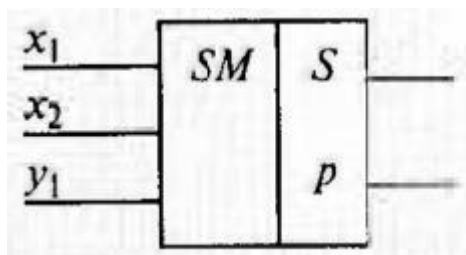


Рис. 4.11. Умовне графічне зображення суматора

Для додавання двійкових чисел з кількома розрядами використовують дво- і трьохрозрядні суматори з послідовним перенесенням «1» в старші розряди. Швидкодія суматорів послідовної дії лімітується часом перенесення «1» через всі елементи пристрою. Для поліпшення цього показника застосовують суматори з паралельним переносом.

Виконання операцій арифметичного множення. Традиційно операції арифметичного множення і ділення в ЕОМ виконувалися з використанням послідовностей описаних раніше елементарних функцій. Однак останнім часом у зв'язку з успіхами технології були розроблені спеціалізовані ІС, які виконують ці операції апаратним способом. Застосування таких пристроїв дозволило значно збільшити швидкодію обчислювальних систем.