

Лекція 9. ТРИГЕРИ

9.1. Загальні відомості про тригери та їх призначення.

9.2. Тригер на біполярних транзисторах (симетричний тригер з лічильним запуском).

9.3. Тригери на логічних елементах.

9.3.1. RS-тригер.

9.3.2. Тригер D-типу (D-тригер).

9.3.3. Тригер T-типу (T-тригер).

9.3.4. JK-тригер.

9.4. Мультивібратори й одновібратори на логічних елементах і тригерах.

9.1. Загальні відомості про тригери та їх призначення

Основою послідовнісних логічних пристроїв (пристроїв з пам'яттю) є тригери. Тригер забезпечує запам'ятовування елементарного об'єму інформації у розмірі 1 біт.

Тригери (від англійського trigger – заскок) – це спускові імпульсні пристрої з позитивним зворотним зв'язком, що мають два сталих стани рівноваги і можуть переходити із одного стану в інший під дією сигналу, що перевищує деякий рівень – поріг спрацьовування пристрою.

Умовне позначення тригерів на схемах – ТТ.

Тригери можуть бути побудовані на напівпровідникових приладах, що мають ділянку з негативною крутизною характеристики (наприклад, на тиристорах). Сучасні тригери, як правило, будують на основі двокаскадних підсилювачів з позитивним зворотним зв'язком. Тригери в інтегральному виконанні будують на логічних цифрових елементах.

Використовуються тригери для наступних цілей:

- 1) перетворення імпульсу довільної форми у прямокутну, тобто застосовуються як формувачі імпульсів прямокутної форми (тригери Шмітта);
- 2) створення електронних реле;
- 3) створення пристроїв підрахунку імпульсів і ділення частоти надходження імпульсів (лічильників);
- 4) зберігання інформації у двійковому коді.

9.2. Тригер на біполярних транзисторах (симетричний тригер з лічильним запуском)

Схема симетричного тригера зображена на рис. 9.1. Тригер являє собою двокаскадний підсилювач з позитивним зворотним зв'язком, виконаний на біполярних транзисторах $VT1$ і $VT2$, увімкнених за схемою з СЕ.

Позитивний зворотний зв'язок забезпечується колами R_1, C_2 та R_2, C_2 , що з'єднують колектор одного транзистора з базою іншого. Напруга $E_{зм}$ призначена для надійного утримання у закритому стані одного з транзисторів схеми.

Коло, до якого входять діоди $VD1$ і $VD2$, призначене для запуску тригера при подачі напруги $U_{зан}$.

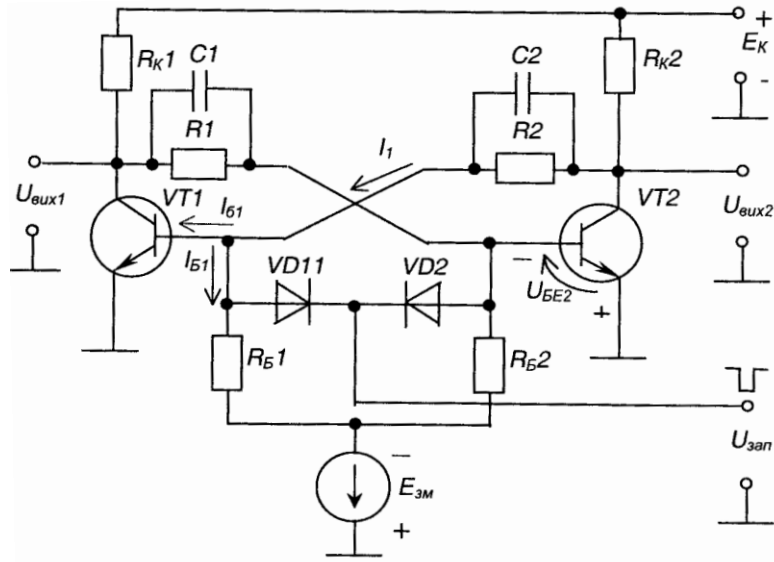


Рис. 9.1 – Симетричний тригер на біполярних транзисторах

Тригер є симетричним, якщо:

$$R_{K1} = R_{K2} = R_K; \quad R_1 = R_2 = R; \quad C_1 = C_2 = C; \quad R_{B1} = R_{B2} = R_B$$

Він має два сталих стани:

1) $VT1$ відкритий, $VT2$ закритий, при $U_{вх1} = 0$; $U_{вх2} = 1$.

2) $VT1$ закритий, $VT2$ відкритий, $U_{вх1} = 1$; $U_{вх2} = 0$.

Після підключення джерела живлення тригер рівноможливо може опинитися у будь-якому стані і, за відсутності зовнішніх сигналів керування, може знаходитися у сталому стані скільки завгодно часу (але тільки за наявності живлення – енергозалежна пам'ять).

Розглянемо умови, коли $VT1$ відкритий, а $VT2$ закритий:

$$I_{\sigma 1} = I_1 - I_{B1}; \quad I_{B1} = \frac{E_K}{R_K + R} - \frac{E_{3M}}{R_B}. \quad (9.1)$$

Щоб транзистор $VT1$ знаходився у насиченому стані, необхідно забезпечити виконання умови:

$$I_{B1} \geq I_{\sigma 1} = \frac{I_{KH}}{\beta} \frac{E_K}{R_K \beta}, \quad (9.2)$$

тобто

$$\frac{E_K}{R_K + R} - \frac{E_{3M}}{R_B} \geq \frac{E_K}{R_K \beta}. \quad (9.3)$$

Вираз (9.3) є визначальним для забезпечення насиченого стану транзистора $VT1$. Маємо

$$U_{BE2} = E_{3M} - U_{RB2}; \quad U_{RB2} = \frac{E_{3M} R_B}{R_B + R}; \quad U_{BE2} = E_{3M} - \frac{E_{3M} R_B}{R_B + R} < 0. \quad (9.4)$$

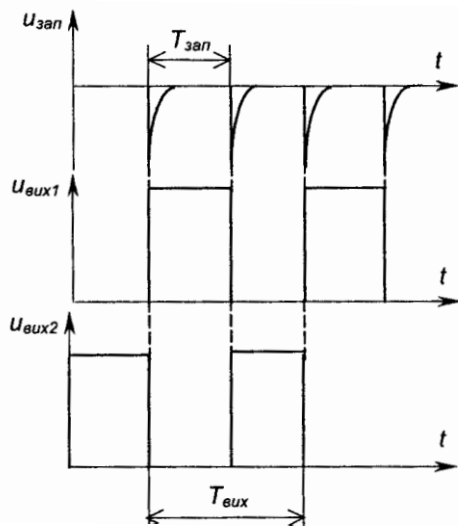


Рис. 9.2 – Часові діаграми роботи лічильного тригера

Розглянемо роботу тригера за наявності запускаючої напруги. Припустимо, що схема знаходиться у першому сталому стані рівноваги. У цьому випадку діод $VD1$ зміщений у прямому напрямку під дією позитивної напруги U_{BE1} , а діод $VD2$ закритий напругою U_{BE2} . Якщо подати негативний запускаючий імпульс, він через діод $VD1$ потрапить до бази $VT1$ і його закриє (матимемо $I_1 = 0$). Напруга на колекторі $VT1$ зросте і через R_1 та прискорюючий конденсатор C_1 потрапить на базу $VT2$ і відкриє його. У результаті – схема перейде до другого сталого стану. Тепер діод $VD1$ закритий напругою U_{BE1} і наступний негативний імпульс запуску буде діяти на базу $VT2$ через діод $VD2$ і закриє $VT2$, переводячи тригер у перший сталий стан.

Таким чином, кожен ім-пульс запуску змінює стан тригера на протилежний. Такий вид запуску називається лічильним запуском, а тригер має назву тригера T -типу. Його роботу ілюструють часові діаграми, зображені на рис. 9.2, з яких видно, що період вихідних імпульсів $T_{вих}$ у два рази більший за період запускаючих $T_{зап}$. Такий тригер ще називають тригером поділювачем на два.

Поряд із лічильним запуском існує роздільний запуск, який можна реалізувати двома способами:

- 1) подачею імпульсів однієї полярності від двох різних генераторів на бази кожного з транзисторів у різні моменти часу;
- 2) подачею імпульсів змінної полярності на базу одного з транзисторів.

9.3. Тригери на логічних елементах

Тригери в інтегральному виконанні будуються з простих логічних елементів типу $АБО-НЕ$, $І-НЕ$. Зазвичай мікросхема вміщує 1÷4 тригери із спільними колами живлення, а інколи і спільними колами синхронізації або керування. У загальному випадку тригер складається з логічного пристрою керування та власне тригера як елемента пам'яті. Існує велика кількість різноманітних схем тригерів із різними функціональними можливостями.

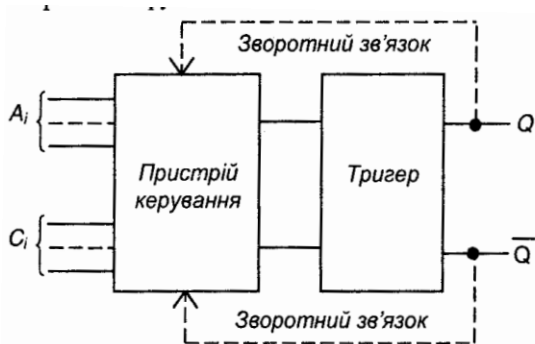


Рис. 9.3 – Структурна схема тригера

Узагальнену структурну схему тригера зображено на рис. 9.3.

Пристрій керування призначений для перетворення сигналів, що надходять до входів A_i , у вигляді, придатний для керування власне тригером, що виконує функцію елемента пам'яті. Тригер має два виходи: Q – прямий (одичний), \bar{Q} – інверсний (нульовий). Входи A_i називаються інформаційними, а входи C_i – тактовими або синхронізуючими.

За способом занесення інформації тригери поділяються на асинхронні, що змінюють свій стан одразу після надходження сигналу на певний інформаційний вхід, і синхронні (тактовані), що спрацьовують не тільки за наявності сигналів на інформаційних входах, а лише після надходження синхронізуючого (тактового) сигналу на певний вхід синхронізації.

Описують роботу тригерів (і послідовнісних пристроїв взагалі) також за допомогою логічних функцій або частіше задля наочності за допомогою таблиць переходів. У таблицях вказують усі можливі комбінації сигналів на інформаційних входах у даний момент часу (t^i) і стан, у який перейде тригер під дією цих сигналів у наступний момент часу (t^{i+1}). Причому, наступний момент часу в асинхронного тригера настає одразу після зміни комбінації сигналів на інформаційних входах, а у синхронного – після надходження тактового сигналу (як правило, це імпульс) на відповідний вхід синхронізації.

Стани тригера в таблицях переходів зазвичай вказують так:

0 – тригер має сигнал на виході $Q = 0$ (нульовий стан) незалежно від сигналів на входах;

1 – тригер має сигнал на виході $Q = 1$ (одичинний стан) незалежно від сигналів на входах;

Q^i – стан тригера не змінюється при зміні сигналів на входах;

$\overline{Q^i}$ – стан тригера змінюється на протилежний при зміні сигналів на входах;

X – невизначений стан тригера, коли він після зміни сигналів на входах рівноможливо може опинитися в нульовому ($Q = 0$) або у одичинному ($Q = 1$) стані.

Стверджують, що навіть за найпростішої конфігурації тригерного пристрою, яка має один інформаційний вхід і два виходи, можна отримати 25 функціональних різновидів тригерів. При двох входах їх буде вже 625. Практично ж застосовують 6-8 типів.

Найбільш розповсюджені з них *RS*-тригери, *D*-тригери, *T*-тригери, *JK*-тригери. Часто тригери будують як комбіновані: *RSD*-тригер, *RST*-тригер і т.п.

9.3.1. RS-тригер

Умовні позначення двовходових асинхронних *RS*-тригерів з прямими (такими, що реагують на наявність 1) і інверсними (такими, що реагують на наявність 0) входами наведено на рис. 9.4.

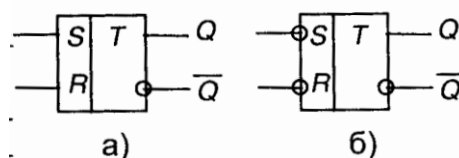


Рис. 9.4 – Умовні позначення *RS*-тригера з прямими (а) й інверсними (б) входами

Свою назву *RS*-тригер одержав від перших літер англійських слів *to set* – встановлювати (*S*) та *to reset* – відновлювати (*R*).

S – інформаційний вхід, призначений для устанавлення тригера в одичинний стан ($Q = 1$), а *R* – вхід, призначений для повернення тригера у нульовий стан ($Q = 0$).

Роботу тригерів описують відповідні таблиці переходів, наведені у табл. 9.1.

Таблиця 9.1 – Таблиці переходів *RS*-тригерів:

t^i		t^{i+1}
<i>S</i>	<i>R</i>	<i>Q</i>
1	0	1
0	1	0
0	0	Q^i
1	1	X

t^i		t^{i+1}
<i>S</i>	<i>R</i>	<i>Q</i>
1	0	0
0	1	1
1	1	Q^i
0	0	X

Схеми таких *RS*-тригерів, побудованих на елементах *I-HE* та *АБО-HE* зображені на рис. 9.5.

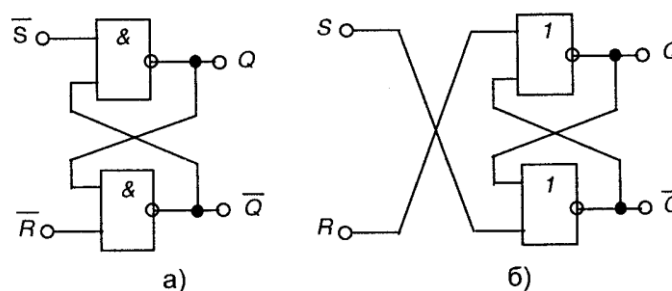


Рис. 9.5 – *RS*-тригер з інверсними входами на елементах *I-HE* (а) та з прямими входами на елементах *АБО-HE* (б)

Схема і умовне позначення синхронного *RS*-тригера з прямими входами, побудованого на елементах *I-HE*, наведені на рис. 9.6

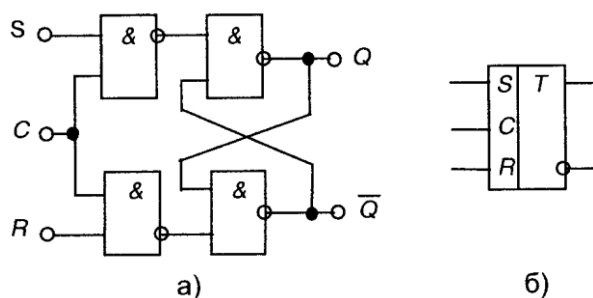


Рис. 9.6 – Синхронний *RS*-тригер

Слід зазначити, що тактові входи бувають потенціально прямі, як у даному випадку (тригер змінює свій стан при надходженні сигналу 1 на вхід *C*), інверсні (тригер змінює стан під час надходження сигналу 0), або імпульсні, також прямі й інверсні (коли тригер змінює свій стан при зміні сигналу на тактовому вході з 0 на 1 або з 1 на 0 відповідно).

9.3.2. Тригер D – типу (D – тригер)

D -тригер (від англійського delay – затримка) має два входи: D – інформаційний та C – тактовий (синхронізуючий): D -тригер синхронний. А це значить, що інформація, яка надходить на вхід D , запам'ятовується лише під час надходження синхронізуючого імпульсу на вхід C , тобто із затримкою на час надходження останнього. Тому D -тригер ще називають тригером затримки. Умовне позначення D -тригера з прямим імпульсним входом синхронізації та таблиця переходів наведені на рис. 9.7, а часові діаграми його роботи – на рис. 9.8.

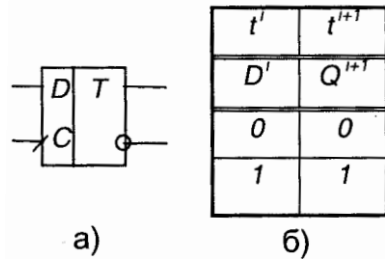


Рис. 9.7 – Умовне позначення (а) і таблиця переходів (б) D -тригера

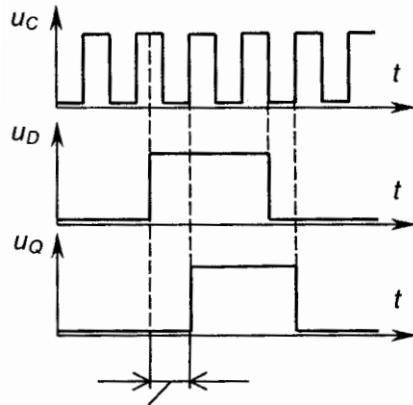


Рис. 9.8 – Часові діаграми роботи D -тригера

9.3.3. Тригер T -типу (T -тригер)

T -тригер (від англійського to toggle – перекидатись) ще називають тригером поділювачем на два або лічильним тригером (див. пп. 9.2). Тригер має тільки один тактовий вхід, а його стан змінюється на протилежний із надходженням на вхід кожного імпульсу. Цей тригер використовують для лічення та ділення частоти імпульсів.

Умовне позначення та часові діаграми роботи T -тригера з інверсним імпульсним входом наведені на рис. 9.9.

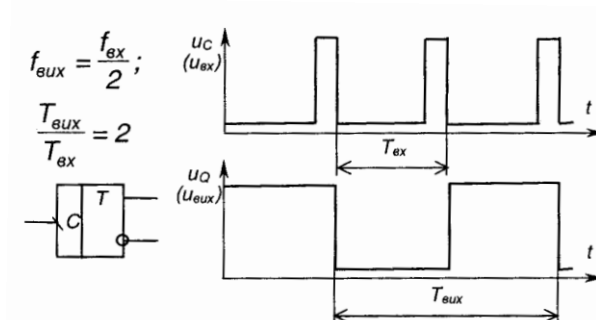


Рис. 9.9 – Умовне позначення (а) та часові діаграми роботи (б) T -тригера

9.3.4. JK-тригер

Синхронний JK-тригер має два інформаційних входи J і K та тактовий C . Умовне позначення та таблиця переходів JK-тригера з прямим імпульсним тактовим входом наведені на рис. 9.10.

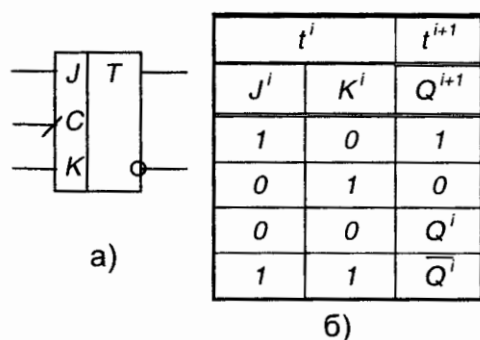


Рис. 9.10 – Умовне позначення (а) та таблиця переходів (б) JK-тригера

JK-тригер є універсальним, бо він може виконувати роль RS-тригера, якщо використовувати вхід J як S , а K як R (при цьому таблиця переходів RS-тригера відповідає першим трьом рядкам таблиці переходів JK-тригера). Якщо задати одиниці на обох інформаційних входах, JK-тригер стає T-тригером. Схеми використання JK-тригера як T-тригера та D-тригера зображені на рис. 9.11.

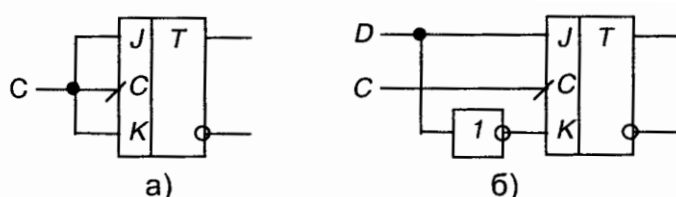


Рис. 9.11 – Використання JK-тригера як T-тригера (а) та D-тригера (б)

9.4. Мультивібратори й одновібратори на логічних елементах і тригерах

Під час побудови цифрових мікроелектронних пристроїв необхідні генератори імпульсів часто будують на таких же ІМС, що й весь пристрій у цілому: на логічних елементах або тригерах. При цьому є велика кількість схемних рішень. Наведемо деякі з них.

Оскільки для забезпечення генерації треба мати коефіцієнт підсилення відповідного пристрою, більший за одиницю, і фазовий зсув вхідного сигналу на 360 електричних градусів, то мультивібратор може бути побудований на двох логічних елементах з інверсією (HE) на виході.

На рис. 9.12 наведено одну з найпростіших схем мультивібратора, виконаного на елементах К-МОН-логіки.

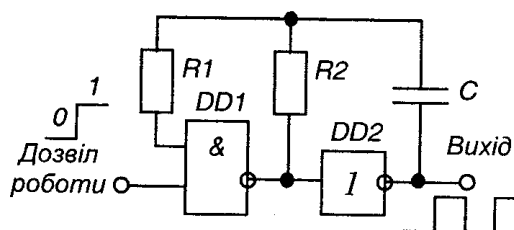


Рис. 9.12 – Мультивібратор на логічних елементах

До цього часу наголошувалось, що у логічного елемента залежно від комбінації вхідних сигналів (що являють собою 0 або 1) отримуємо певне значення сигналу на виході (також 0 або 1).

Виникає питання, при повільній зміні вхідного сигналу від низького рівня напруги до високого – від 0 до 1 (або навпаки), коли саме логічний елемент перестає сприймати вхідний сигнал як 0 і починає сприймати його як 1? Яке значення напруги порогу перемикавання U він має? Це залежить від типу елементної бази, на якій виконано елемент. Так, наприклад, для елементів К-МОП-логіки поріг перемикавання становить приблизно половину напруги джерела живлення. З урахуванням цього робота схеми, наведеної на рис. 9.12, полягає у заряді конденсатора C по шляху: вихід елемента $DD1$, R_2 , C , вихід елемента $DD2$ – коли на виході $DD1$ маємо 1 (а на виході $DD2$, як наслідок, 0), і наступного розряду по шляху: вихід $DD2$, C , R_2 вихід $DD1$ – коли на виході $DD1$ маємо 0 (на виході $DD2$ – 1). Зміна сигналу на виході $DD1$ відбувається з 0 на 1, коли рівень напруги на резисторі R_2 досягає значення $U_{пор}$ і з 1 в 0 – коли рівень напруги на R_2 знижується до $U_{пор}$. Величина напруги на R_2 визначається струмом заряду або розряду C .

У результаті на виході пристрою маємо прямокутні імпульси з періодом надходження:

$$T \approx 1,4R_2C. \quad (9.5)$$

Резистор R_1 обмежує струм розряду конденсатора C через внутрішні вхідні діодні захисні кола елемента $DD1$ при вимиканні живлення.

Якщо у якості $DD1$ маємо двохходовий елемент $I-HE$ (а не просто інвертор), то другий його вихід можна використати для дозволу (1) або заборони (0) роботи мультивібратора.

На рис 9.13 наведено схему одновібратора, побудованого на основі комбінованого К-МОП RSD -тригера. Тригер, як відомо, є, наприклад, двокаскадним підсилювачем із позитивними зворотними зв'язками або, як у даному випадку, побудований на логічних елементах.

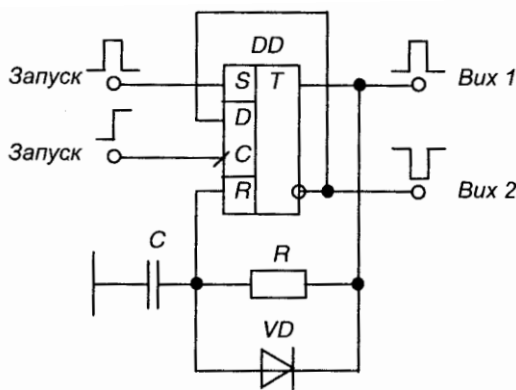


Рис. 9.13 – Одновібратор на RSD -тригері

Часозадаюче RC -коло підключено до прямого виходу (Вих. 1) тригера.

Напруга з конденсатора C подається на вхід встановлення тригера у нульовий стан R .

Можливі два способи запуску цього одновібратора.

Перший – подачею імпульсу запуску на асинхронний вхід S . При цьому тривалість імпульсу повинна бути меншою за тривалість генерованого ($t_{зан} < t_i$).

Другий – подачею імпульсу будь-якої тривалості на вхід синхронізації C (тригер реагує тільки на передній фронт імпульсу). На вхід S при цьому необхідно подати 0.

У вихідному стані на прямому виході – 0. Конденсатор C розряджений.

Після подачі імпульсу запуску, тригер переходить у одиничний стан (залежно від виду запуску: як асинхронний RS -тригер або як синхронний D -тригер, на D – вході якого зафіксовано 1, що подається з інверсного виходу тригера – Вих. 2). На прямому виході отримаємо 1.

Тепер конденсатор почне заряджатися, і коли напруга на ньому, а значить, і на вході R досягне значення порогу перемикання, тригер повернеться в нульовий стан, а конденсатор швидко розрядиться через діод VD .

У результаті, на виходах тригера (прямому – Вих. 1 і інверсному – Вих. 2) отримаємо імпульс, тривалість якого

$$t_i \approx 0,7RC, \quad (9.6)$$

а одновібратор готовий до повторного запуску.

На такому ж тригері можна побудувати і автоколивальний мультивібратор, як показано на рис. 9.14.

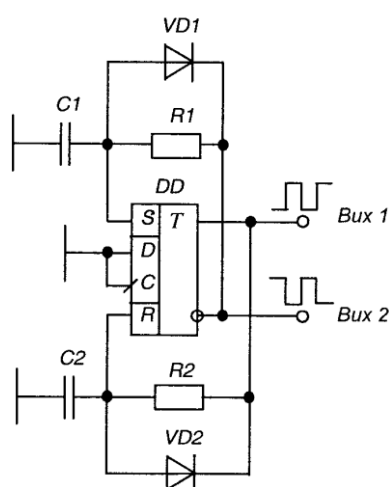


Рис. 9.14 – Мультивібратор на RSD-тригері

Зі схеми видно, що до тригера підімкнено два часозадаючі кола. Його робота зрозуміла з пояснень роботи одновібратора, а період генерованих імпульсів становить

$$T_i \approx 0,7(R_1C_1 + R_2C_2) . \quad (9.7)$$